

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-044591

(43)Date of publication of application : 16.02.2001

(51)Int.Cl.

H05K 1/11
H05K 1/02
H05K 3/46
// H05K 1/18

(21)Application number : 11-219686

(71)Applicant : NGK SPARK PLUG CO LTD

(22)Date of filing : 03.08.1999

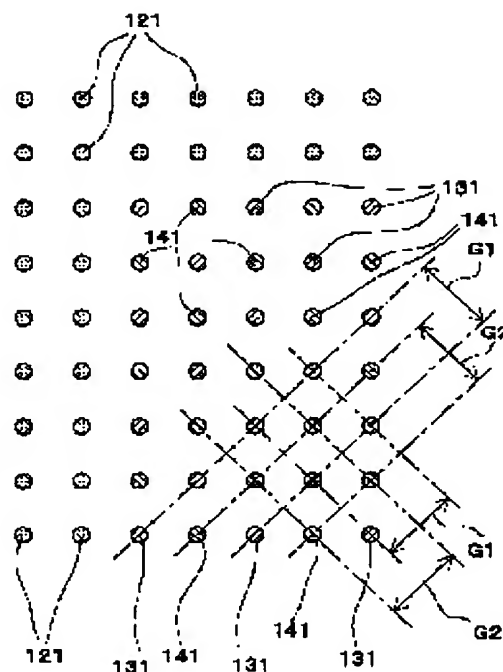
(72)Inventor : OGAWA KOJU
KODERA EIJI

(54) WIRING BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a wiring board, in which a number of vias with reduced inductance are connected with a power potential or a ground potential.

SOLUTION: This wiring board for mounting an IC chip CH is provided with a number of power vias 131, which are formed by penetrating resin insulation layers and are connected to a power potential to work as a outward route of current to the IC chip CH, and a number of ground vias which are connected to a ground potential to work as a return route of the current. The power vias 131 are arranged like a grid, and the ground vias 141 is also arranged like a grid. Furthermore, the power vias 131 and ground vias 141 are arranged on crossing points of the respective grid lines.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-44591

(P2001-44591A)

(43)公開日 平成13年2月16日(2001.2.16)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコード*(参考)
H 0 5 K	1/11	H 0 5 K 1/11	N 5 E 3 1 7
	1/02	1/02	N 5 E 3 3 6
	3/46	3/46	N 5 E 3 3 8
			Q 5 E 3 4 6
// H 0 5 K	1/18	1/18	L
審査請求 未請求 請求項の数5 O L (全 9 頁)			

(21)出願番号 特願平11-219686

(22)出願日 平成11年8月3日(1999.8.3)

(71)出願人 000004547

日本特殊陶業株式会社

愛知県名古屋市瑞穂区高辻町14番18号

(72)発明者 小川 幸樹

名古屋市瑞穂区高辻町14番18号 日本特殊
陶業株式会社内

(72)発明者 小寺 英司

名古屋市瑞穂区高辻町14番18号 日本特殊
陶業株式会社内

(74)代理人 100104167

弁理士 奥田 誠 (外2名)

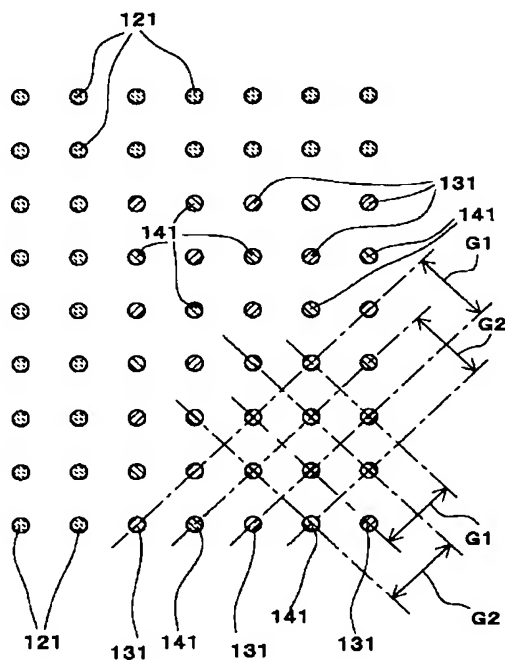
最終頁に続く

(54)【発明の名称】 配線基板

(57)【要約】

【課題】 電源電位や接地電位などに接続する多数のビアについて、そのインダクタンスを低減した配線基板を提供すること。

【解決手段】 I CチップC Hを搭載するための本発明の配線基板100は、樹脂絶縁層103~105をそれぞれ貫通して形成され、電源電位に接続されてI CチップC Hへ供給する電流の往路となる多数の電源ビア131、及び、接地電位に接続されて上記電流の復路となる多数の接地ビアとを備える。電源ビア131同士は互いに格子状に配置され、接地ビア141同士は互いに格子状に配置されている。しかも、電源ビア131と接地ビア141とは、それぞれ互いの格子の目に配置されている。



【特許請求の範囲】

【請求項1】ICチップを搭載するための配線基板であって、

絶縁層と、

上記絶縁層内に形成され、第1の電位に接続されて上記ICチップへ供給する電流の往路となる多数の第1ビアと、

上記絶縁層内に形成され、第2の電位に接続されて上記電流の復路となる多数の第2ビアと、を備え、

上記多数の第1ビアは、互いに格子状に配置され、

上記多数の第2ビアは、互いに格子状に配置されていると共に、

上記多数の第1ビア及び多数の第2ビアは、それぞれ互いの格子の目に配置されていることを特徴とする配線基板。

【請求項2】請求項1に記載の配線基板であって、

前記ICチップと接続するIC接続端子を有するIC接続面と、

前記第1の電位に接続される第1電位プレーンと、

前記第2の電位に接続される第2電位プレーンと、を備え、

前記絶縁層、多数の第1ビア及び多数の第2ビアは、上記IC接続面と、上記第1電位プレーン及び第2電位プレーンとの間に位置し、

前記多数の第1ビア及び多数の第2ビアは、一方で上記第1電位プレーン及び第2電位プレーンにそれぞれ接続するとともに、他方で上記IC接続端子にそれぞれ接続することを特徴とする配線基板。

【請求項3】請求項2に記載の配線基板であって、

前記第1電位プレーン及び第2電位プレーンは、高誘電体層を介して互に対向してコンデンサの電極をそれぞれ構成していることを特徴とする配線基板。

【請求項4】請求項2または請求項3に記載の配線基板であって、

前記第1電位プレーン及び第2電位プレーンは、上記配線基板に搭載されたコンデンサの端子にそれぞれ接続していることを特徴とする配線基板。

【請求項5】請求項2～請求項4のいずれかに記載の配線基板であって、

前記第1電位プレーン及び第2電位プレーンと前記IC接続面との間に、複数の前記絶縁層を有し、

上記複数の絶縁層は、それぞれ前記配置の第1ビア及び第2ビアを備えることを特徴とする配線基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電源電位と接地電位など2つの電位のいずれかに接続する多数のビアを有する配線基板に関し、特にインダクタンスの小さなビアを有する配線基板に関する。

【0002】

【従来の技術】ICチップに電源電位や接地電位を供給するに当たり、ICチップに多数の電源端子や接地端子を設け、配線基板からこれらの端子を通じて、並列に電源電位や接地電位を供給することが行われている。このようにすると、ICチップ内の電源配線や接地配線の引き回しが少なくなり、回路設計が容易になるほか、必要部分に並列に各電位を直接供給することで、低抵抗で供給できるからである。この場合のICチップの端子の配列は、列をなす電源端子と接地端子とがそれぞれ交互に並ぶストライプ状配列をなすように設計されることが多い。それに伴い、配線基板内のビアの配列も、例えば図7に示すようにされる。即ち、ビア配列のうち、周囲には信号を入出力するための信号ビアSV（図7では左及び上側2列）を形成する。その他、中央（図7では右下側5×7ヶ）には、電源電位に接続されて電源配線の一部をなすビア（電源ビア）PVと接地電位に接続されて接地配線の一部をなすビア（接地ビア）GVとを、それぞれ列をなして交互に並ぶストライプ状配列をなすように形成することが多い。なお、では、図7では、配線基板内に形成したビア配列のうち、平面視して左上約4分の1範囲について、ビア配列の様子を示す。

【0003】

【発明が解決しようとする課題】しかしながら、上記のようなストライプ状配列では、各電源ビアPV及び接地ビアGVのインダクタンスを十分低減できなかった。一般に、電流が流れるとその周りには磁界が発生する。ここで、あるビア（例えば電源ビアPV）に流れる電流と同じ向きの電流が隣接するビア（例えば電源ビアPV）に流れる場合には、両者に発生する磁界を強め合うことになる。このため、同じ方向の電流が流れる電源ビア同士（あるいは接地ビア同士）が列をなすストライプ状配列では、発生する磁界を強め合うので各電源ビアPVや接地ビアGVの有するインダクタンスが高くなる。従って、電源ビアPVや接地ビアGVから電源電位や接地電位にノイズが重畳され、ICチップの誤動作を誘発する危険性があった。本発明は、かかる問題点に鑑みてなされたものであって、電源電位や接地電位などに接続する多数のビアについて、そのインダクタンスを低減した配線基板を提供することを目的とする。

【0004】

【課題を解決するための手段、作用及び効果】そしてその解決手段は、ICチップを搭載するための配線基板であって、絶縁層と、上記絶縁層内に形成され、第1の電位に接続されて上記ICチップへ供給する電流の往路となる多数の第1ビアと、上記絶縁層内に形成され、第2の電位に接続されて上記電流の復路となる多数の第2ビアと、を備え、上記多数の第1ビアは、互いに格子状に配置され、上記多数の第2ビアは、互いに格子状に配置されていると共に、上記多数の第1ビア及び多数の第2ビアは、それぞれ互いの格子の目に配置されていること

を特徴とする配線基板である。

【0005】上記したように、ビアに電流が流れると、その周りには磁界が発生する。ここで、あるビアに流れる電流と逆向きの電流を隣接するビアに流すと、両者に発生する磁界が打ち消しあって、発生する磁界の強さが相対的に小さくなり、ビアに生じるインダクタンスが小さくなる。本発明では、電流の往路となる第1ビアと復路となる第2ビアとが、互いの格子の目に配置されている。このため、例えば、ある第1ビアに注目すると、その周りを第2ビアが取り囲んだ状態となり、第1ビアにより発生する磁界が、逆向きに電流が流れるその周りの第2ビアによって発生する磁界で打ち消されるので、第1ビアのインダクタンスが小さくなる。同様に第2ビアについてもインダクタンスが小さくなり、結局第1、第2ビアのいずれについてもインダクタンスを小さくすることができる。

【0006】なお、第1の電位と第2の電位の組み合わせとしては、例えば、第1の電位として電源電位（+電位：例えば+1.8Vや+5V）、第2の電位として接地電位（0V）としたもの、あるいは、第1の電位として+電位（例えば+5V）、第2の電位として-電位（例えば-5V）としたものなどが挙げられる。また、ビアとしては、絶縁層の厚さ方向に貫通する1つの貫通孔内に形成されたビアの他、ごく小さな間隔を空けて互いに隣接して形成された複数の貫通孔内に、同じ電位に接続する隣接ビアがそれぞれ形成されて1つの組をなしている組状のビア（ビア群）も含まれる。このような組状のビアとすると、何らかの不具合によってその組に属する隣接ビアのいずれかが断線となっても、組状のビア全体としては確実に導通しビアとしての機能を果たさせることができるので、信頼性が高くなって好ましい。絶縁層の材質としては、公知の材料を用いることができるが、例えば、エポキシ樹脂、ポリイミド樹脂、BT樹脂、PPE樹脂などの樹脂を主成分としたもの、連続気孔を有するPTFEなど3次元網目構造のフッ素系樹脂にエポキシ樹脂等の樹脂を含浸させた樹脂-樹脂複合材料等が挙げられる。また、ガラス織布、ガラス不織布などのガラス繊維やポリアミド繊維などの有機繊維などを用いて、エポキシ樹脂、BT樹脂などとの複合化したものを用いても良い。また、アルミナ、窒化アルミニウム、ムライト、ガラスセラミックなどのセラミック、あるいは、樹脂とセラミック粉末とを複合化したものを用いることもできる。

【0007】また、上記配線基板であって、前記ICチップと接続するIC接続端子を有するIC接続面と、前記第1の電位に接続される第1電位プレーンと、前記第2の電位に接続される第2電位プレーンと、を備え、前記絶縁層、多数の第1ビア、及び多数の第2ビアは、上記IC接続面と、上記第1電位プレーン及び第2電位プレーンとの間に位置し、前記多数の第1ビア及び多数の

第2ビアは、一方で上記第1電位プレーン及び第2電位プレーンにそれぞれ接続するとともに、他方で上記IC接続端子にそれぞれ接続することを特徴とする配線基板とすると良い。

【0008】配線基板の中には、例えば、電源電位とする電源電位プレーンや接地電位とする接地電位プレーンを形成し、この電源電位プレーンや接地電位プレーンから、ICチップの電源端子や接地端子に対応するIC接続端子に向けて、多数の電源配線や接地配線を延ばす形式の配線基板がある。このように、第1電位プレーン及び第2電位プレーンが配線基板に形成されている場合においては、特にこれよりICチップに近い部分の配線（電源配線や接地配線）におけるインダクタンス、つまり、第1、第2電位プレーンとICチップとの間を結ぶ配線のインダクタンスが問題になる。第1、第2電位プレーンは、その面積が大きいため、抵抗もインダクタンスも小さい。一方、これよりICチップに近い部分の配線でインダクタンスが大きいとノイズが侵入しやすくなり、ICチップでの誤動作を誘発しやすいからである。

【0009】これに対し本発明では、この第1電位プレーン及び第2電位プレーンに接続し、IC接続端子にも接続する第1ビア及び第2ビアのインダクタンスを小さくできるので、少なくともこのビアの分だけ、配線（電源配線や接地配線）のインダクタンスを小さくすることができる。なお、第1、第2電位プレーンとしては、プレーンのほぼ全面に導体が形成されたベタ状のプレーンのほか、絶縁層との密着性等を考慮し、開口を多数設けたメッシュ状のプレーンを用いることもできる。

【0010】さらに、上記配線基板であって、前記第1電位プレーン及び第2電位プレーンは、高誘電体層を介して互いに対向してコンデンサの電極をそれぞれ構成していることを特徴とする配線基板とすると良い。

【0011】本発明では、第1、第2電位プレーンがコンデンサの電極を構成しているので、このコンデンサは、デカップリングコンデンサとして働く。このため、この第1、第2電位プレーン（コンデンサ）より電源側で電源配線や接地配線に侵入したノイズは、このコンデンサで吸収される。一方、第1、第2電位プレーンとICチップとの間の配線では、インダクタンスの小さい第1、第2ビアによって、この間の配線に侵入するノイズを小さくできるから、これと相俟って、ICチップに供給される電源電位のノイズをさらに小さくすることができる。

【0012】なお、高誘電体層としては、第1、第2電位プレーンや絶縁層などの材質、製法等を勘案して選択すればよいが、例えば、BaTiO₃などを主成分とする高誘電率セラミックや、エポキシ樹脂やポリイミド樹脂、BT樹脂などの樹脂に、BaTiO₃などの高誘電率セラミックを混入した複合材料などを用いることができる。高誘電率体セラミックとしては、BaTiO₃の

10

20

30

40

50

ほか、例えば、 PbTiO_3 、 PbZrO_3 、 TiO_2 、 SrTiO_3 、 CaTiO_3 、 MgTiO_3 、 KNbO_3 、 NaTiO_3 、 KTaO_3 、 RbTaO_3 、 $(\text{Na}_{1/2}\text{Bi}_{1/2})\text{TiO}_3$ 、 $\text{Pb}(\text{Mg}_{1/2}\text{W}_{1/2})\text{O}_3$ 、 $(\text{K}_{1/2}\text{Bi}_{1/2})\text{TiO}_3$ などが挙げられ、要求されるコンデンサの静電容量その他に応じて適宜選択すればよい。

【0013】また、上記配線基板であって、前記第1電位プレーン及び第2電位プレーンは、上記配線基板に搭載されたコンデンサの端子にそれぞれ接続していることを特徴とする配線基板とすると良い。

【0014】本発明では、第1、第2電位プレーンが配線基板の搭載されたコンデンサの端子と接続しているので、搭載されたこのコンデンサは、デカップリングコンデンサとして働く。このため、第1、第2電位プレーンより電源側で電源配線や接地配線に侵入したノイズは、このコンデンサで吸収される。一方、第1、第2電位プレーンとICチップとの間の配線では、インダクタンスの小さいビアによって、この間の配線に侵入するノイズを小さくできるから、これと相俟って、ICチップに供給される電源電位のノイズをさらに小さくすることができる。

【0015】さらに、上記いずれかに記載の配線基板であって、前記第1電位プレーン及び第2電位プレーンと前記IC接続面との間に、複数の前記絶縁層を有し、上記複数の絶縁層は、それぞれ前記配置の第1ビア及び第2ビアを備えることを特徴とする配線基板とすると良い。

【0016】本発明の配線基板では、第1、第2電位プレーンとIC接続面との間の複数の絶縁層には、いずれもインダクタンスの小さくされた第1ビア、第2ビアをそれぞれ備えるので、全体として特にインダクタンスを小さくすることができる。

【0017】さらに、接続面に配線基板との接続端子を多数備えるICチップであって、上記接続端子は、第1の電位に接続されて内部へ供給する電流の往路となる多数の第1接続端子と、第2の電位に接続されて上記電流の復路となる多数の第2接続端子とを有し、上記多数の第1接続端子は、互いに格子状に配置され、上記多数の第2接続端子は、互いに格子状に配置されていると共に、上記多数の第1接続端子及び多数の第2接続端子は、それぞれ互いの格子の目に配置されていることを特徴とするICチップとするのが好ましい。

【0018】このICチップでは、電流の往路となる第1接続端子と復路となる第2接続端子とが、互いに格子の目に位置するように配置されている。このため、このICチップを配線基板に搭載接続すると、上記した第1ビアと第2ビアとの関係と同様に、配線基板のIC接続端子とこれに接続するICチップの接続端子（第1接続端子や第2接続端子）との間で流れる電流による磁界が互いに打ち消される。このため、ICチップと配線基板

との接続部分におけるインダクタンスを小さくすることができる。従って、この部分から侵入するノイズを低減することができ、ICチップの誤動作を防止することができる。なお、ICチップの接続端子としては、公知の接続端子であればいずれのものにも適用できるが、例えば、ICチップに形成したボールバンプやハンダバンプ、パッドなどが挙げられる。

【0019】

【発明の実施の形態】（実施形態1）本発明の第1の実施形態を、図面を参照しつつ説明する。図1に示す配線基板100は、ICチップCHを搭載可能な配線基板である。このうち、ICチップCHは、その接続面CHBに配線基板100との接続端子として、高温ハンダからなるハンダバンプTを多数備えている。このハンダバンプTには、信号を入出力するための信号バンプTSの他、電源電位を受け入れる電源バンプTP及び接地電位を受け入れる接地バンプTGを多数有している。一方、配線基板100は、その上面であるIC接続面100AにICチップCHのハンダバンプTとそれぞれ対応して接続可能な多数のバンプ111を有している。また、下面100Bには、マザーボードなど他の配線基板と接続可能なパッド114が形成されている。

【0020】配線基板100は、5層のエポキシ樹脂からなる樹脂絶縁層101～105が積層されてなり、これらの層間に、あるいはこれらを貫通して延びる配線が形成されている。このうち、信号を伝達する信号配線120は、信号ビア121と信号配線層122と下部信号ビア123とからなり、配線基板100の周縁近傍に形成されている。信号ビア121は、樹脂絶縁層105または樹脂絶縁層104と105とを貫通し、その一方（図中上方）はICチップCHの信号バンプTSと接続するバンプ111に、他方は信号配線層122に接続する。また、信号配線層122は、樹脂絶縁層104と105との層間、または103と104との層間に形成され、これに接続する下部信号ビア124は、樹脂絶縁層104～101または103～101を貫通し、パッド114のうち信号パッド124に接続している。従って、この信号パッド124から信号配線120を通じて、ICチップCHと信号の入出力が可能である。

【0021】ICチップCHに電源電位を供給する電源配線130は、電源ビア131と、電源電位プレーン132と、下部電源ビア133とからなる。電源ビア131は、樹脂絶縁層102～105をそれぞれ貫通し、その一方（図中上方）はICチップCHの電源バンプTPに対応するバンプ111に、他方は共通の電源電位プレーン132に接続する。電源電位プレーン132は、樹脂絶縁層102と103との層間に形成され、下部信号ビア123や次述する下部接地ビア143と絶縁を保つための開口など一部を除きベタ状に形成されている。さらに、この電源電位プレーン132に接続する下部電源

ビア134は、樹脂絶縁層101を貫通し、パッド114のうち電源パッド134に接続している。従って、この電源パッド134から電源配線130を通じて、ICチップCHへ電源電位の供給、従って電源電流の供給が可能である。

【0022】但し、下部電源ビア133は、電源ビア131よりその数が少なくされている。なお、電源電位プレーン132は、配線基板100の平面寸法とはほぼ同程度の広い面積にわたって形成されているため、電源ビア131あるいは下部電源ビア134と任意の位置で接続

することができるので、設計が容易になる。そのほか、この電源電位プレーン132の持つインダクタンスや抵抗をごく小さくできるため、ICチップCHに供給する電源電位のノイズを低減することができる。

【0023】同様に、ICチップCHに接地電位を供給する接地配線140は、接地ビア141と、接地電位プレーン142と、下部接地ビア143とからなる。接地ビア141、樹脂絶縁層103～105をそれぞれ貫通し、その一方(図中上方)はICチップCHの接地パンプTGに対応するパンプ111に、他方は共通の接地電位プレーン142に接続する。接地電位プレーン142は、電源電位プレーン132と同様、樹脂絶縁層103と104との層間に形成され、電源電位プレーン132と同様、下部接地ビア123や電源ビア133と絶縁を保つための開口など一部を除きベタ状に形成されている。さらに、この接地電位プレーン142に接続する下部接地ビア144は、樹脂絶縁層101、102を貫通し、パッド114のうち接地パッド144に接続している。従って、この接地パッド144から接地配線140を通じて、ICチップCHへ接地電位の供給、従って

接地電流の供給が可能である。

【0024】但し、下部接地ビア143は、接地ビア141よりその数が少なくされている。なお、接地電位プレーン142も、配線基板100の平面寸法とはほぼ同程度の広い面積にわたって形成されているため、接地ビア141あるいは下部接地ビア144と任意の位置で接続することができるので、設計が容易になる。そのほか、この接地電位プレーン142の持つインダクタンスや抵抗をごく小さくできるため、ICチップCHに供給する接地電位のノイズを低減することができる。

【0025】しかも、この配線基板100において、信号ビア121については、図7に示した従来の配線基板と同様であるが、多数形成された電源ビア131及び接地ビア141の配置が、従来とは異なりそれぞれ図2及び図3に示すようになっている。まず、電源ビア131について注目すると、図3に示すように、縦横格子間隔G1の格子状に配置されている。一方、接地ビア141について注目すると、縦横格子間隔G2の格子状に配置されている。なお、格子間隔G1とG2とは等しい大きさにされている。しかも、電源ビア131は、4つの接

地ビア141で構成される格子の中央(格子の目)に位置し、逆に接地ビア141は、4つの電源ビア131で構成される格子の中央(格子の目)に位置するように配置されている。別言すると、図3において上下方向(あるいは左右方向)に見て、電源ビア131及び接地ビア141は、いずれも千鳥状に配置された状態となる。

【0026】このように、電源ビア131と接地ビア141とが互いに格子の目に配置されているため、1つの電源ビア131に注目すると、その周りに4つの接地ビア141が位置することになる。従って、この電源ビア131を往路として用いて、電源パッド134からICチップCHの電源パンプTPに向かって電流を流すと、ICチップの接地パンプTGから、復路である接地ビア141を経由して接地パッド144に向かって電流が流れる。つまり、電源ビア131とは逆向きの電流が接地ビア141に流れることになる。従って、電源ビア131の周りに生じる磁界が、接地ビア141による磁界と打ち消し合い、結果として、電源ビア131のインダクタンスが小さく見えることになる。同様なことが接地ビア141についても言え、接地ビア141の周りに生じる磁界が、電源ビア131による磁界と打ち消し合い、結果として、接地ビア141のインダクタンスが小さく見えることになる。

【0027】このようにして、電源ビア131及び接地ビア141のいずれのインダクタンスをも小さくできるため、この電源ビア131及び接地ビア141の部分から電源や接地電位に侵入するノイズを抑制し、ICチップCHの安定動作を図ることができる。特に、本実施形態では、電源電位プレーン132や接地電位プレーン142をも形成したため、特に低抵抗、低インダクタンスでノイズを低減させて、ICチップに電源電位や接地電位を供給することができる。また、本実施形態では、電源電位プレーン132及び接地電位プレーン142とIC接続面100Aとの間に形成した電源ビア131及び接地ビア141は、樹脂絶縁層103、104、105のいずれの各層においても、互いの格子の目に位置するように配置されているため、特に低インダクタンスにすることができる。

【0028】なお、ICチップCHに形成したハンダパンプTのうち、電源パンプTP及び接地パンプTGの配置も、対応する電源ビア131及び接地ビア141の配置(図3参照)に合わせて、これと同様に、それぞれ格子状に配置され、かつ互いの格子の目に位置するように配置される。このように配置することにより、ICチップCHを配線基板100のIC搭載面100Aに搭載接続した場合に、電源パンプTP及び接地パンプTGとパンプ111との接続部分におけるインダクタンスをも低下させることができる。

【0029】(変形形態1)さらに、上記実施形態1では、電源ビア131及び接地ビア141として、それぞ

れ 1 つの貫通孔内に導体を形成したビアを用いた場合を示したが、ごく小さな間隔を開けて互いに隣接して形成された複数の貫通孔内に、同じ電位に接続する隣接ビアをそれぞれ形成し、これらの隣接ビアの組によって各ビアを構成するようにしてもよい。例えば、各電源ビア 131、接地ビア 141 に代えて、図 4 に示すように、ごく小さな間隔を開けて図中上下方向に 2 つずつ並び、それぞれ電源電位プレーン 132、接地電位プレーン 142、あるいはパンプ 111 など同じ電位に接続する隣接ビア 131S、141S の群を形成する。これによって、2 つの隣接ビア 131S の群によって組状の電源ビア 131L を、また、2 つの隣接ビア 141S の群によって組状の接地ビア 141L を形成する。

【0030】このようにすると、例えば、1 つのビア 131L に着目した場合、そのビアに含まれる隣接ビア 131S のいずれかが、何らかの理由で断線した場合でも、他方の隣接ビア 131S によって導通が確保される。従って、配線基板 100 の信頼性をより向上させることができる。また、ビア自身の持つインダクタンスや抵抗も低下させることが出来る、ノイズ低減にも有利である。なお、上記では、2 つの隣接ビアによって 1 つのビア（組状のビア）を形成したが、3 つ以上の隣接ビアによって各ビアを形成してもよい。また、信号ビア 121 の径より隣接ビア 131S、141S の径を小さくしたが、信号ビア 121 と同等の径とするなど、適宜選択することが出来る。

【0031】（実施形態 2）次いで、第 2 の実施形態について説明する。本実施形態の配線基板 200 は、上記実施形態と同様の構造であるが、電源電位プレーンと接地電位プレーンとの間に比誘電率の高い高誘電体層を介在させた点で異なるので、異なる部分を中心に説明し、同様な部分は説明を省略あるいは簡略化する。即ち、図 5 に示す配線基板 200 は、前記配線基板 100 と同様に、樹脂絶縁層を積層してなり、信号配線 120 や電源配線 130、接地配線 140 を備える。また、電源配線 130 及び接地配線 140 は、それぞれ電源ビア 131 及び接地ビア 141 を有し、これらは、それぞれが格子状に配置されるとともに、互いの格子の目の位置に配置される。このため、電源ビア 131 及び接地ビア 141 のインダクタンスが抑制される。また、それぞれ電源電位プレーン 132 や接地電位プレーン 142 も形成されている。

【0032】但し、前記した配線基板 100 においては、この電源電位プレーン 132 と接地電位プレーン 142 とで樹脂絶縁層 102 が挟まれていたのに対し、配線基板 200 では、BaTiO₃ からなり比誘電率 50 の高誘電体層 202 を 2 つのプレーン 132、142 で挟んでいる点で異なる。従って、高誘電体層 202 及びこれを介して互いに対向する 2 つのプレーン 132、142 はコンデンサ 250 を構成する。このコンデンサ 2

50 は、電源電位と接地電位との間に挿入されて、デカップリングコンデンサとして働くので、電源電位や接地電位に侵入したノイズを低減させることができる。つまり、2 つのプレーン 132、142 は、コンデンサ 250 の電極としても機能する。

【0033】このように、配線基板 200 では、さらにデカップリングコンデンサ 250 を設けたため、電源ビア 131 や接地ビア 141 を上述のように配置してインダクタンスを低減させたのと相俟って、さらに電源電位や接地電位に侵入するノイズを低減させることができる。従って、搭載する IC チップの誤動作をさらに確実に防止することができる。

【0034】（実施形態 3）さらに、第 3 の実施形態について説明する。本実施形態の配線基板 300 は、上記実施形態 1 と同様の構造であるが、その上面（IC 接続面）300A に、チップコンデンサ 351 を搭載し、コンデンサ 351 の電極を電源電位プレーンおよび接地電位プレーンとそれぞれ接続した点で異なるので、異なる部分を中心に説明し、同様な部分は説明を省略あるいは簡略化する。即ち、図 6 に示す配線基板 300 は、前記配線基板 100 と同様に、樹脂絶縁層を積層してなり、信号配線 120 や電源配線 130、接地配線 140 を備える。また、電源配線 130 及び接地配線 140 は、それぞれ電源ビア 131 及び接地ビア 141 を有し、これらは、それぞれが格子状に配置されるとともに、互いの格子の目の位置に配置される。このため、電源ビア 131 及び接地ビア 141 のインダクタンスが抑制される。また、それぞれ電源電位プレーン 132 や接地電位プレーン 142 も形成されている。

【0035】但し、配線基板 300 では、IC 接続面 300A にコンデンサ接続パッド 363 が形成されるとともに、電源電位プレーン 132 及び接地電位プレーン 142 とコンデンサ接続パッド 363 とが、コンデンサビア 361、362 によってそれぞれ接続されている。さらに、コンデンサ接続パッド 363 には、積層セラミックタイプのチップコンデンサ 351 がハンダ 364 によって接続搭載されている点で異なる。従って、このコンデンサ 351 は、電源電位と接地電位との間に挿入されて、デカップリングコンデンサとして働くので、電源電位や接地電位に侵入したノイズを低減させることができる。

【0036】このように、配線基板 300 では、さらにデカップリングコンデンサ 351 を IC 接続面 300A に設けたため、電源ビア 131 や接地ビア 141 を上述のように配置してインダクタンスを低減させたのと相俟って、さらに電源電位や接地電位に侵入するノイズを低減させることができる。従って、搭載する IC チップの誤動作をさらに確実に防止することができる。

【0037】なお、上記実施形態 3 では、チップコンデンサ 351 を IC 接続面（上面）300A の搭載した。

しかしチップコンデンサの搭載位置は他の部位でも良い。例えば、図6に破線で示すように、配線基板の下面300Bに搭載するようにしても良い。即ち、下面300Bにコンデンサパッド367を形成し、このコンデンサパッド367と電源電位プレーン132及び接地電位プレーン142とを、それぞれコンデンサ接続ビア365、366で接続しておく。その上で、チップコンデンサ355の電極356、357を、それぞれハンダ368でコンデンサパッド367に接続するようにしても良い。

【0038】以上において、本発明を実施形態1～3に即して説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、適宜変更して適用できることはいうまでもない。例えば、上記実施形態では、第1の電位として電源電位を、第2の電位として接地電位を用いた例を示したが、第1の電位を正電位、第2の電位を負電位としても良い。また、電源電位プレーン132や接地電位プレーン142として、ベタ状のプレーンを形成したが、開口を各所に設けたメッシュ状のプレーンを用いても良い。メッシュ状のプレーンにすると、例えば、プレーンの開口において、樹脂絶縁層102と樹脂絶縁層103とが直接接続するため、樹脂絶縁層とプレーンとの密着強度が低い場合にも、樹脂絶縁層同士を強く結合させることができる。また、上記各実施形態においては、第1ビア（電源ビア131）あるいは第2ビア（接地ビア141）の格子間隔を、縦横（図3においては、斜め45度方向）等しいG1あるいはG2とし、正方形の格子となるものとしたが、縦横の間隔を異なるものとし、長方形の格子となるようにしてもよい。

【図面の簡単な説明】

【図1】実施形態1にかかる配線基板の断面図である。
【図2】実施形態1にかかる配線基板のうち、電源ビア及び接地ビアの配置を透視した状態に示す説明図である。

【図3】実施形態1にかかる配線基板のうち、L-L断面（図1参照）における各ビアの配置を平面的に示す説

明図である。

【図4】各電源ビア及び接地ビアを2つの隣接ビアの組からなるビアの組で構成した変形形態1にかかる配線基板における、各ビアの配置を平面的に示す説明図である。

【図5】実施形態2にかかる配線基板の断面図である。

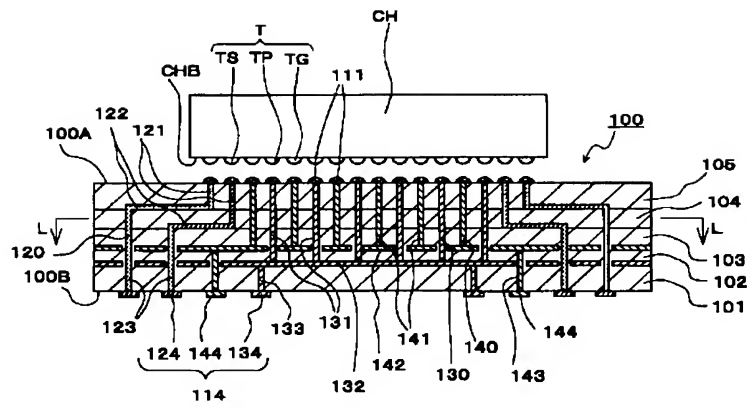
【図6】実施形態3にかかる配線基板の断面図である。

【図7】従来の配線基板にかかり、周囲に信号ビアを配置し、中央に電源ビアと接地ビアとをストライプ状に配列したビア配列を示す説明図である。

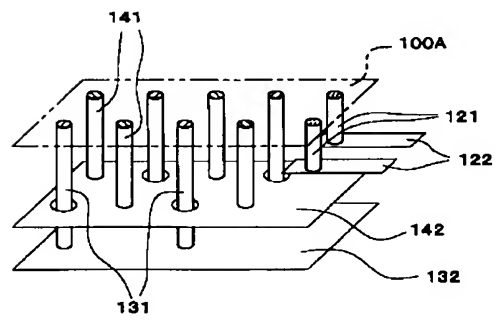
【符号の説明】

100 配線基板
100A IC接続面
101, 102, 103, 104, 105 樹脂絶縁層（絶縁層）
111 バンプ（IC接続端子）
120 信号配線
130 電源配線
131, 131L 電源ビア（第1ビア）
132 電源電位プレーン（第1電位プレーン）
133 下部電源ビア
140 接地配線
141, 141L 接地ビア（第2ビア）
142 接地電位プレーン（第2電位プレーン）
143 下部接地ビア
131S, 141S 隣接ビア
202 高誘電体層
250 コンデンサ
351, 355 チップコンデンサ
361, 362, 365, 366 コンデンサ接続ビア
363, 367 パッド
CH ICチップ
T ハンダバンプ（ICチップの接続端子）
TS 信号バンプ
TP 電源バンプ（第1接続端子）
TG 接地バンプ（第2接続端子）

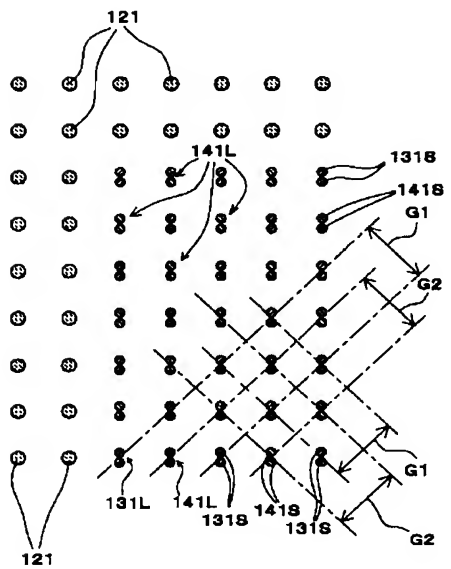
【図1】



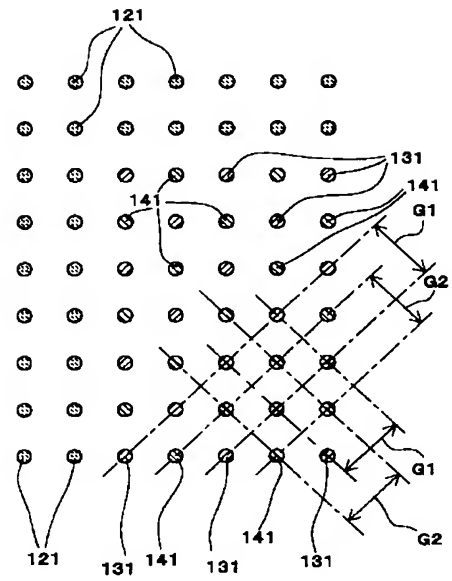
【図2】



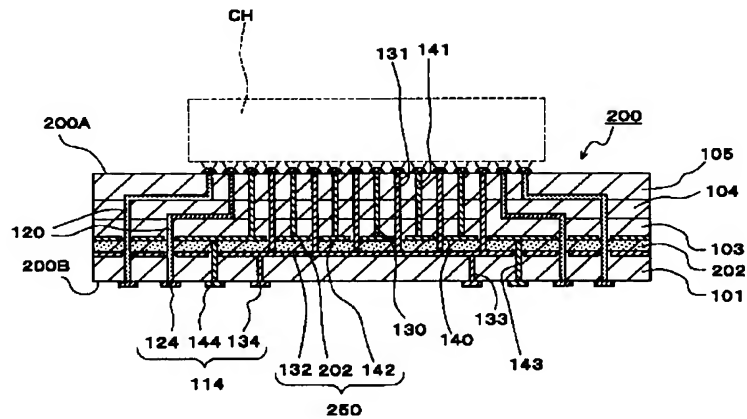
【図4】



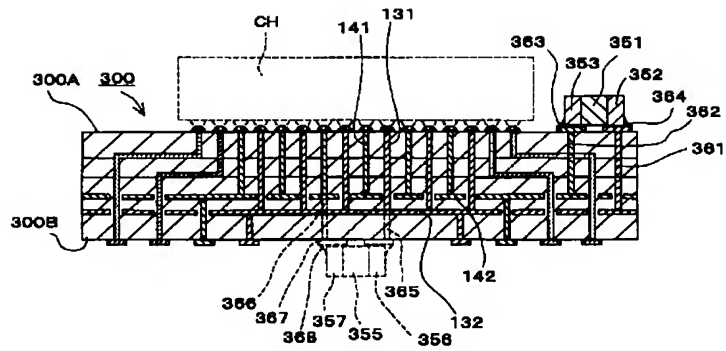
【図3】



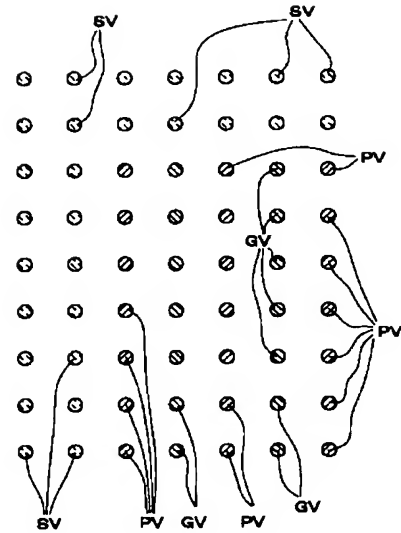
【図5】



【図6】



【図7】



フロントページの続き

F ターム(参考) 5E317 AA24 BB02 BB03 BB04 BB11
 CC25 GG11
 5E336 AA04 BB03 BB15 BB18 BC28
 BC34 CC34 CC36 CC44 CC53
 CC58 EE01 GG11
 5E338 AA03 AA16 AA18 BB16 BB23
 BB61 BB75 CC01 CC04 CC06
 EE13
 5E346 AA06 AA12 AA13 AA43 AA54
 BB07 CC09 CC10 CC17 CC19
 HH04